

PATENT APPLICATION**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of:

MARUYAMA et al.

Atty. Docket No. 107317-0006 **FAX RECEIVED**

Serial No.: 10/821,841

Examiner: Kennedy, Jennifer M JAN 17 2006

Filed: April 12, 2004

Art Unit: 2812

OFFICE OF PETITIONS

For: ELECTRONIC DEVICE WITH ELECTRODE AND ITS MANUFACTURE

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: January 17, 2006

Sir:

Pursuant to 37 CFR §1.56, the attention of the Patent and Trademark Office is hereby directed to the information item(s) listed on the attached Form PTO-SB08. Unless otherwise indicated herein, one copy of each item(s) is attached. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the item(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

- ☒ 1. This Information Disclosure Statement is being filed (a) within three months of the U.S. filing date, OR (b) before the mailing date of a first Office Action on the merits in the present application, OR (c) accompanies a Request for Continued Examination. No certification or fee is required.
- ☐ 2. This Information Disclosure Statement is being filed more than three months after the U.S. filing date AND after the mailing date of the first Office Action on the merits, but before the mailing date of a Final Rejection or Notice of Allowance.
- ☐ a. I hereby certify that each item of information contained in this Information Disclosure Statement was first cited in a communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 CFR §1.97(e)(1).
- ☐ b. I hereby certify that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application or, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 CFR §1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 CFR §1.97(e)(2).

TECH/394071.1

BEST AVAILABLE COPY

- ☐ c. A check in the amount of \$180.00 in payment of the fee under 37 CFR §1.17(p). Please charge any fee deficiency or credit any overpayment to Deposit Account No. 01-2300 as needed to ensure consideration of the disclosed information.
- ☐ 3. This Information Disclosure Statement is being filed more than three months after the U.S. filing date and after the mailing date of a Final Rejection or Notice of Allowance, but before payment of the Issue Fee. Applicant(s) hereby petition(s) that the Information Disclosure Statement be considered. Attached is our check in the amount of \$180.00 in payment of the petition fee under 37 CFR §1.17(l)(1). Please charge any fee deficiency or credit any overpayment to Deposit Account No. 01-2300 as needed to ensure consideration of the disclosed information.
- ☐ a. I hereby certify that each item of information contained in this Information Disclosure Statement was first cited in a communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 CFR §1.97(e)(1).
- ☐ b. I hereby certify that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application or, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 CFR §1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 CFR §1.97(e)(2).

Respectfully submitted,



Wilburn L. Chesser
Registration No. 41,668

Customer No. 004372
ARENT FOX PLLC
1050 Connecticut Avenue, N.W.,
Suite 400
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810

WLC/wb

Enclosures: Japanese Office Action dated January 10, 2006
Form PTO/SB/08a (with 2 references)

PTO/SB/08a (08-08)

Approved for use through 07/31/2006. OMB 0651-0031

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANT**
Form PTO/SB/08a

Complete if Known

Application Number	10/821,841
--------------------	------------

Filing Date	April 12, 2004
-------------	----------------

First Named Inventor	Kenji MARUYAMA
----------------------	----------------

Art Unit	2812
----------	------

Examiner Name	Kennedy, Jennifer M
---------------	---------------------

Attorney Docket Number	1073-7-00064
------------------------	--------------

~~FAX RECEIVED~~

~~JAN 17 2006~~

OFFICE OF PETITIONS

Sheet

of

U.S. PATENT DOCUMENTS

[illegible]

FOREIGN PATENT DOCUMENTS

[illegible]

**Examiner
Signature**

Date
Considered

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. ¹Unique citation designation number. ²See attached Kinds of U.S. Patent Documents. ³Enter Office that issued the document, by the two-letter code. ⁴For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. ⁶Applicant is to place a checkmark here if English language translation is attached. AB indicates that only an English language abstract is attached.

TECH/394067.1

BEST AVAILABLE COPY

整理番号 0140944

発送番号 003194 1/
発送日 平成18年 1月10日

OF2906

拒絶理由通知書
notice of reasons of rejection

特許出願の番号	特願2001-329688
起案日	平成17年12月28日
特許庁審査官	松嶋 秀忠 9836 4M00
特許出願人代理人	高橋 敬四郎 (外 1名) 様
適用条文	第29条第1項、第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

1. この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記の特許公報に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。
2. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の特許公報に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

請求項1-10

理由1, 2

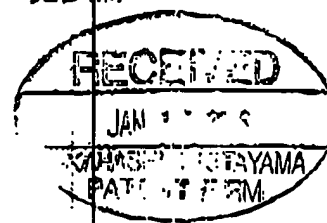
引用文献1, 2

備考:

特に、引用文献1の図1及びその説明箇所を参照されたい。

引用文献1には、MgO基板上に(001)配向した酸化レニウム層及び(001)配向したペロブスカイト構造を有する強誘電体層を形成することが開示されている。

また、MgO基板を用いるのではなく、酸化シリコン上にMgO膜を形成し、該MgO膜上にキャパシタを形成する技術は、例えば、引用文献2に開示されて



BEST AVAILABLE COPY

整理番号 0140944

発送番号 003194 2/E

発送日 平成18年 1月10日

いる（特に、引用文献2の図1及びその説明箇所参照）。

引用文献等一覧

1. 特開平07-153643号公報
2. 特開平09-008243号公報

先行技術文献調査結果の記録

・調査した分野 IPC第7版 H01L27/105
H01L21/8246

・先行技術文献 特開平10-189887号公報
特開平10-017395号公報
特開平09-110592号公報
特開昭64-079364号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-153643

(43)Date of publication of application : 16.06.1995

(51)Int.Cl.

H01G 4/10
// H01G 4/33

(21)Application number : 05-341107

(71)Applicant : NISSIN ELECTRIC CO LTD

(22)Date of filing : 29.11.1993

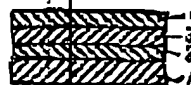
(72)Inventor : FUCHIMOTO NOBORU
HIRATSUKA HARUO

(54) LAMINATED DIELECTRIC DEVICE

(57)Abstract:

PURPOSE: To form an orientated film excellent in dielectric properties at low temperatures making a perovskite oxide serve as an electrode.

CONSTITUTION: A ReO_3 metal oxide conductive thin film 2 which is orientated in a direction of (001) and similar in configuration to a perovskite oxide crystal is provided onto the surface of a substrate 1 orientated in crystal axis. A perovskite oxide dielectric thin film 3 orientated in a direction of (001) is laminated on the surface of the metal oxide conductive thin film 2. By this setup, a perovskite oxide dielectric body can be laminated high in properties of orientation on the surface of the metal oxide conductive thin film 2 at low temperatures.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-153643

(43) 公開日 平成7年(1995)6月16日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H01G 4/10		9174-5E	H01G 4/10	
// H01G 4/33		9174-5E	4/08	102

審査請求 未請求 請求項の数1 各面 (全3頁)

(21) 出願番号 特願平5-341107

(22) 出願日 平成5年(1993)11月29日

(71) 出願人 000003942

日新電機株式会社

京都府京都市右京区梅津高畝町47番地

(72) 発明者 堀本 昇

京都市右京区梅津高畝町47番地 日新電機株式会社内

(72) 発明者 平塚 治男

京都市右京区梅津高畝町47番地 日新電機株式会社内

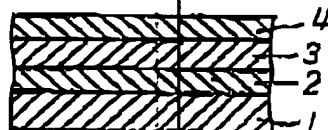
(74) 代理人 弁理士 中沢 誠之助

(34) [発明の名称] 積層誘電体素子

(57) [要約]

【目的】 ペロブスカイト型酸化物を電極として、低温で誘電性能の優れた配向性膜を形成する。

【構成】 結晶軸に配向性を有する基板の表面に、ペロブスカイト型酸化物結晶と類似構造をもつ(001)配向した ReO_3 型金属酸化物の導電性薄膜を設ける。この導電性薄膜の表面に、ペロブスカイト型酸化物誘電体の(001)配向した誘電体薄膜を積層する。これにより導電性薄膜の表面に、低温下でしかも配向性よくペロブスカイト型酸化物誘電体を積層することができる。



BEST AVAILABLE COPY

(2)

特開平7-153643

【特許請求の範囲】

【請求項1】 結晶軸に配向性を有する基板の表面に、ペロブスカイト型酸化物と類似構造をもつ(001)配向した ReO_3 型金属酸化物の導電性薄膜を設け、前記導電性薄膜の表面にペロブスカイト型酸化物誘電体の(001)配向した誘電体薄膜を形成してなる積層誘電体素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は積層誘電体素子に関する。

【0002】

【従来の技術】集積化された電子回路に使用される誘電体素子として薄膜化が要求されているが、優れた特性をもつ薄膜素子を得るためには、誘電体薄膜の結晶軸を配向させることが重要である。誘電体薄膜の配向膜を得るためには、 MgO などの単結晶基板を用いて、スパッタリング法などでエピタキシャル成長させる方法が多く採られている。

【0003】しかし多くの誘電体薄膜素子は、誘電体をはさんで配置される電極を必要とするため、単結晶基板と誘電体との間に、電極として金属層などを設ける必要がある。このため誘電体薄膜の配向性を減ずることになり、また配向性誘電体膜を得るための成膜温度は600℃以上の高温を必要とする。

【0004】更に金属酸化物誘電体と電極金属との界面においては、誘電体側の酸素欠陥の存在により、半導体障壁を生じ易く、極薄膜においてはそま界面の影響が無視しがたいものとなる。特にメモリーへの応用については、500kV/cmにも相当する高電界のなかで、界面の酸素欠陥の生成が進行することが、メモリー誘電体膜の拾うに関わっている。

【0005】これらの問題点を回避する方策として、従来では電極を金属に替えて、導電性のペロブスカイト型酸化物、たとえば BaO 、 5SrO 、 5MoO_3 などを用いる試みの提案も散見される。しかし金属複合酸化物薄膜を形成する上で、細成制御が容易ではなく、均質で安定した成膜が困難であり、また導電性が金属に比較して1~2桁低く、薄膜コンデンサへの応用には望ましくない。

* 40

膜層	膜厚 (nm)	ターゲット材	雰囲気ガス	基極温度 (℃)	密度 (g/cm^3)
導電層	1500	Ru	$\text{Ar} + \text{O}_2$	350	1×10^{-4}
誘電体層	3000	SrTiO_3	$\text{Ar} + \text{O}_2$	150~250	5×10^{-5}
上部電極	1500	Pt	Ar	350	2×10^{-5}

【0013】表1に示す条件の下で得られた導電層2は、X線四折によって ReO_3 単一層であることが確認された。また誘電体層3は、150~250℃で非晶質

* 【0006】

【発明が解決しようとする課題】本発明は、ペロブスカイト型酸化物をもって電極とする積層誘電体素子において、低温で誘電性膜の優れた配向性膜を形成することを目的とする。

【0007】

【課題を解決するための手段】本発明は、結晶軸に配向性を有する基板の表面に、ペロブスカイト型酸化物と類似構造をもつ(001)配向した ReO_3 型金属酸化物の導電性薄膜を設け、前記導電性薄膜の表面にペロブスカイト型酸化物誘電体の(001)配向した誘電体薄膜を形成してなることを特徴とする。

【0008】

【作用】本発明において導電性薄膜として使用される金属酸化物としては、 ReO_3 、 MoO_3 、 WO_3 などが利用できる。この種金属酸化物は立方晶で、極めてペロブスカイト型結晶構造に類似している。いわゆる ReO_3 結晶構造である。

【0009】また ReO_3 の格子定数 a は3.751で、ペロブスカイト型酸化物の誘電体として使用する SrTiO_3 、 PbTiO_3 、 BaTiO_3 などの格子のミスフィットは10%にも満たない値かなものである。また固有抵抗値 ρ は、 ReO_3 において $1 \times 10^{-5} \Omega \cdot \text{cm}$ であり、金属に匹敵する導電性を有している。

【0010】

【実施例】本発明の実施例による積層誘電体素子の断面図を図1に示す。1は配向性の基板、2は基板1の表面に形成されたペロブスカイト型結晶構造と類似する構造をもつ ReO_3 型の金属酸化物からなる導電層、3は導電層2の表面に形成されたペロブスカイト型酸化物誘電体からなる誘電体層、4は誘電体層3の表面に形成された上部電極である。

【0011】図の実施例の構成は、基板1として、 $\text{MgO}(100)$ 単結晶基板を、導電層2として ReO_3 を、誘電体層3として、 SrTiO_3 を、上部電極4としてPtを使用し、これらをそれぞれイオンスパッタ法で形成した。その各形成条件を表1に示す。

【0012】

【表1】

であって、それ以上の基極温度で立方晶ペロブスカイト型構造の単一層であり、温度が高い程結晶化が進む。

【0014】図2の特性線Aはこの実施例による積層誘

(3)

特開平7-153643

電体素子の誘電率を各成膜基板温度について示したものである。基板温度が350℃以上で図3のX線回折パターンに示すように(001)に配向し、バルクのSrTiO₃の誘電率250以上に達する。なおこの素子のTanδは、0.5±0.2%であった。これらの結果は、導電層としてMoO₃、WO₃を使用した場合でも同等であった。

【0015】比較のために、MgO(100)単結晶の基板の表面にPtを700℃で配向成膜し、その表面に前記実施例と同様に導電層2、誘電体層3および上部電極4を順次積層して積層誘電体素子を構成した。この誘電体の成膜温度と誘電率の相関を示したのが図2の特性線Bである。これを特性線Aと比較すれば明らかに、誘電率は前記実施例によるものの方が極めて高い値を呈している。

【0016】なお本発明においてペロブスカイト型酸化物誘電体としては、前記したSrTiO₃のほか、Srに代えてPb、Ba、La、Caのうちの少なくとも1種を、またTiに代えてTa、Nb、Co、Mo、Zr

のうちの少なくとも1種を使用したものが適宜利用できる。

【0017】

【発明の効果】以上詳述したように本発明によれば、導電膜として、制御性がよく、しかも容易に形成できるペロブスカイト型酸化物結晶と類似構造をもつ(001)配向したReO₃型金属酸化物の導電性薄膜を用いるようにしたので、この導電性薄膜の表面に低温下でしかも配向性よくペロブスカイト型酸化物誘電体を積層することができる効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施例を示す断面図である。

【図2】基板温度に対する誘電率を示す特性図である。

【図3】X線回折パターン図である。

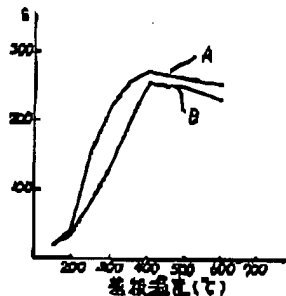
【符号の説明】

- 1 基板
- 2 導電層
- 3 誘電体層
- 4 上部電極

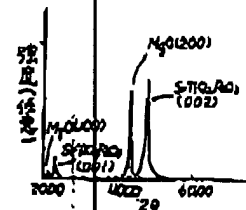
【図1】



【図2】



【図3】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-008243

(43)Date of publication of application : 10.01.1997

(51)Int. Cl.

H01L 27/108
H01L 21/8242
H01L 27/04
H01L 21/822

(21)Application number : 07-153076

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 20.06.1995

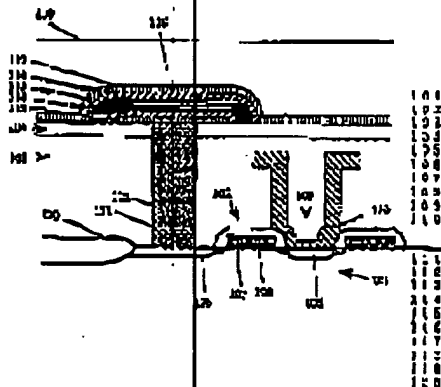
(72)Inventor : FUJII SHINJI

(54) JOINING STRUCTURE OF METALLIC ELECTRODE TO CERAMIC THIN FILM,
SEMICONDUCTOR DEVICE, AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To prevent the deterioration of the ferroelectric property of a ferroelectric film by heat treatment or changes over aging and to prevent the reduction in dielectric constant, adhesion between a metallic electrode and the ferroelectric thin film, etc., and to prevent the occurrence of very small mechanism cracks caused by stresses.

CONSTITUTION: A change storing capacitor 118 having such a five-layer structure that a ferroelectric thin film 115 is put between a first conductor thin film 114 and a second conductor thin film 116 made principally of the same ferroelectric material as that of the thin film 115 to which an impurity is added and a first metallic electrode 113 and second metallic electrode 117 are respectively formed on the external surfaces of the thin films 114 and 116 is formed on an n-type silicon substrate 101.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

(18) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-8243

(43) 公開日 平成9年(1997)1月10日

(51) Int. Cl.	識別記号	序内整理番号	F I	技術表示箇所
H01L	27/108		H01L 27/10	651
	21/8242		27/04	C
	27/04			
	21/822			

審査請求 未請求 請求項の数13 O L (全 9 頁)

(21) 出願番号 特願平7-153078

(22) 出願日 平成7年(1995)8月20日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 藤井 貞治

大阪府高槻市幸町1番1号 松下電子工業

株式会社内

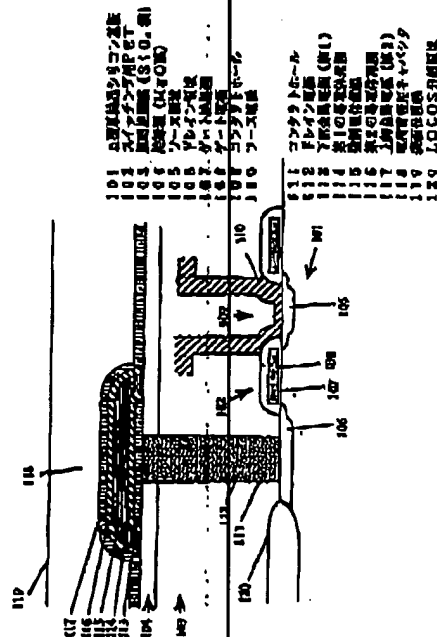
(74) 代理人 弁理士 富井 康夫

(54) 【発明の名称】 セラミック薄膜と金属電極の接合構造と半導体装置およびその製造方法

(57) 【要約】

【目的】 熱処理や経時変化による強誘電性の劣化、誘電率の減少、金属電極と強誘電体薄膜間の密着力の低下等を防止し、ストレスによる機械的微小クラックの発生を防止する。

【構成】 強誘電体薄膜115を、この強誘電体薄膜115と同一の強誘電体材料を主成分とし不純物が添加されて導電性をもった第1および第2の導電体薄膜114、116で挟み、第1および第2の導電体薄膜114、116のそれぞれの外側面に第1および第2の金属電極113、117を形成した5層構造の電荷蓄積用キャパシタ118を、n型シリコン基板101上に形成した。



(2)

特開平9-8243

【特許請求の範囲】

【請求項1】 セラミック薄膜と金属電極の接合面に、前記セラミック薄膜と同一のセラミック材料を主成分とし不純物が添加されて導電性をもった導電体薄膜を介在させたことを特徴とするセラミック薄膜と金属電極の接合構造。

【請求項2】 金属電極が白金からなる請求項1記載のセラミック薄膜と金属電極の接合構造。

【請求項3】 セラミック薄膜が強誘電体薄膜である請求項1または請求項2記載のセラミック薄膜と金属電極の接合構造。

【請求項4】 セラミック薄膜がチタン酸バリウムからなる強誘電体薄膜であり、金属電極が白金であり、不純物がイットリウムである請求項1記載のセラミック薄膜と金属電極の接合構造。

【請求項5】 セラミック薄膜が高圧超電導薄膜である請求項1または請求項2記載のセラミック薄膜と金属電極の接合構造。

【請求項6】 強誘電体薄膜を、前記強誘電体薄膜と同一の強誘電体材料を主成分とし不純物が添加されて導電性をもった第1および第2の導電体薄膜で挟み、前記第1および第2の導電体薄膜のそれぞれの外側面に第1および第2の金属電極を形成した5層構造の電荷蓄積用キャパシタを、半導体基板上に形成したことを特徴とする半導体装置。

【請求項7】 強誘電体薄膜がチタン酸バリウムからなり、第1および第2の金属電極が白金からなり、不純物がイットリウムである請求項6記載の半導体装置。

【請求項8】 強誘電体材料を主成分とし第1の不純物が添加されてp型導電性をもった第1の導電体薄膜とこの第1の導電体薄膜と同一の強誘電体材料を主成分とし第2の不純物が添加されてn型導電性をもった第2の導電体薄膜とを接合し、前記第1の導電体薄膜および前記第2の導電体薄膜のそれぞれの外側面に第1および第2の金属電極を形成した4層構造の電荷蓄積用キャパシタを、半導体基板上に形成したことを特徴とする半導体装置。

【請求項9】 強誘電体薄膜がチタン酸バリウムからなり、第1および第2の金属電極が白金からなり、第1の不純物がイットリウムであり、第2の不純物がヒ素である請求項8記載の半導体装置。

【請求項10】 半導体基板上に第1の金属電極を形成する工程と、前記第1の金属電極上にスパッタ法により強誘電体材料を堆積し、堆積した強誘電体材料にイオン注入法により不純物を添加することにより第1の導電体薄膜を形成する工程と、前記第1の導電体薄膜上にスパッタ法により前記第1の導電体薄膜と同一の強誘電体材料を堆積して強誘電体薄膜を形成する工程と、前記強誘電体薄膜上にスパッタ法により前記第1の導電体薄膜と同一の強誘電体材料を堆積し、堆積した強誘電体材料に

イオン注入法により不純物を添加することにより第2の導電体薄膜を形成する工程と、前記第2の導電体薄膜上に第2の金属電極を形成する工程とを含む半導体装置の製造方法。

【請求項11】 強誘電体材料がチタン酸バリウムであり、第1および第2の金属電極が白金からなり、不純物がイットリウムである請求項10記載の半導体装置の製造方法。

【請求項12】 半導体基板上に第1の金属電極を形成する工程と、前記第1の金属電極上にスパッタ法により強誘電体材料を堆積し、堆積した強誘電体材料にイオン注入法により第1の不純物を添加することによりp型導電性を呈する第1の導電体薄膜を形成する工程と、前記第1の導電体薄膜上にスパッタ法により前記第1の導電体薄膜と同一の強誘電体材料を堆積し、堆積した強誘電体材料にイオン注入法により第2の不純物を添加することによりn型導電性を呈する第2の導電体薄膜を形成する工程と、前記第2の導電体薄膜上に第2の金属電極を形成する工程とを含む半導体装置の製造方法。

【請求項13】 強誘電体材料がチタン酸バリウムであり、第1および第2の金属電極が白金からなり、第1の不純物がイットリウムであり、第2の不純物がヒ素である請求項12記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、セラミック薄膜と金属電極の接合構造、ならびにセラミック薄膜の一種である強誘電体薄膜を金属電極で挟んだ構造の電荷蓄積用キャパシタを半導体基板上に設けた半導体メモリ等の半導体装置およびその製造方法に関するものである。このような強誘電体薄膜を用いた半導体メモリを有する半導体装置は、大規模集積回路（LSI）の大容量化を可能とするものである。

【0002】

【従来の技術】 近年、LSIの高集積化に伴い、個々の半導体素子の微細化が促進されている。そのために半導体メモリにおいては、電荷蓄積用キャパシタの面積の縮小化による小面積大容量キャパシタの実現が重要な課題となっている。単位面積あたりの容量が一定である電荷蓄積用キャパシタ面積を縮小すると、電荷蓄積用キャパシタ1個あたりの電荷蓄積量は減少する。上記電荷蓄積量が減少すると、α値によるソフトエラーを生じやすくなる。ソフトエラーを生じにくくするためには、例えば、ダイナミックRAMの場合、約40 fF以上の電荷蓄積量が必要である。

【0003】 電荷蓄積用キャパシタの最小必要単位電荷量をQとすると、

$$Q = S \cdot \epsilon \cdot E = S \cdot \epsilon \cdot V/d$$

と表すことができる。ただし、Sは面積、εは誘電率、dは膜厚、Eは電界強度、Vは動作電圧である。また、

(3)

特開平9-8243

動作電圧 V 一定とすると、

$$Q \propto S \cdot \epsilon / d$$

と表すことができる。

【0004】ここで、縮小のために面積 S を k 倍($k < 1$)した場合、電荷量 Q を一定にするためには、 ϵ/d は $1/k$ 倍する必要がある。そのためには、膜厚 d を k 倍するか、誘電率 ϵ を $1/k$ 倍するかである。しかしながら、従来より用いられている誘電体材料である SiO_2 や Si_3N_4 は、膜厚を減少させると欠陥密度が増加するために、薄膜化することは困難になってきている。

【0005】したがって、誘電率 ϵ を $1/k$ 倍にすることが有望であり、高い比誘電率を示す強誘電体薄膜を電荷蓄積用キャパシタに用いた半導体メモリの開発が行われている。上記の電荷蓄積用キャパシタは、ダイナミックRAMの場合、約40 fF以上の電荷蓄積量が確保できるように設計される。上記の蓄積電荷量の式は、真空の誘電率を ϵ_0 、比誘電率を ϵ_r とすると、

$$Q = S \cdot \epsilon_0 \cdot \epsilon_r \cdot E$$

と表すことができ、 SiO_2 の比誘電率 ϵ_r は3.9であるのに対して、 $\epsilon_r(\text{BaTiO}_3) \approx 5000$ 、 $\epsilon_r(\text{PZT}) \approx 751$ であり、2桁ないし3桁高く、同一構造であれば、 BaTiO_3 や PZT 等の強誘電体薄膜を用いた場合に、面積 S を縮小しても、必要な約40 fF以上の電荷蓄積量が得られるものである。この点では、以下の従来例だけでなく、各実施例でも確保されている。

【0006】従来の半導体装置の具体例として、強誘電体薄膜を電荷蓄積用キャパシタに適用した従来の半導体メモリを取り上げる。以下、図面を参照して詳細に説明する。図3は従来例の強誘電体薄膜を電荷蓄積用キャパシタに適用した半導体装置(半導体メモリ)を示す断面図である。図中の301はn型半導体シリコン基板である。このn型半導体シリコン基板301の表面にはpチャネルのスイッチング用FET302が形成されている。このスイッチング用FET302を含むn型半導体シリコン基板301上には、CVD法により形成された層間絶縁膜(SiO_2 膜)303および絶縁膜((100)配向の酸化マグネシウム膜(MgO 膜))304が形成されている。この絶縁膜304上には強誘電体薄膜を用いた電荷蓄積用キャパシタ316が形成されている。

【0007】(100)配向の酸化マグネシウム膜(MgO 膜)からなる絶縁膜304は配向したチタン酸バリウム(BaTiO_3)からなる強誘電体薄膜314を堆積させるのに必要である。その理由は、チタン酸バリウム等の強誘電体薄膜は配向させることによって、誘電特性や耐圧が向上するからである。上記スイッチング用FET302は、n型半導体シリコン基板301の表面に互いに電気的に分離して設けられたp型のソース領域305およびドレイン領域306とゲート絶縁膜307を

介して設けられたゲート電極308とから構成されている。上記n型半導体シリコン基板301上には、層間絶縁膜(SiO_2 膜)303および絶縁膜(MgO 膜)304が形成され、かつソース領域305およびドレイン領域306に対応する位置で層間絶縁膜(SiO_2 膜)303および絶縁膜(MgO 膜)304にはコンタクトホール309、311が開口されている。

【0008】層間絶縁膜(SiO_2 膜)303および絶縁膜(MgO 膜)304上には、コンタクトホール309、311を通して、ソース領域305およびドレイン領域306に接続されたソース電極310およびドレイン電極312が設けられている。電荷蓄積用キャパシタ316は、厚さ0.2 μm の白金(Pt)からなる下部金属電極313と、この下部金属電極313上に形成された(100)配向のチタン酸バリウム(BaTiO_3)からなる厚さ10 μm の強誘電体薄膜314と、この強誘電体薄膜314上に形成された厚さ0.2 μm の白金(Pt)からなる上部金属電極315とから形成されている。

【0009】なお、下部金属電極313および上部金属電極315は直流スパッタリング法による白金薄膜の堆積とパターニングにより形成し、強誘電体薄膜(BaTiO_3 膜)314は高周波スパッタリング法による(100)配向の厚さ10 μm のチタン酸バリウム(BaTiO_3)の堆積とパターニングにより形成した。また、ソース電極310は、層間絶縁膜303に開口されたコンタクトホール309を通してスイッチング用FET302に接続されたドレイン電極312に接続されている。

【0010】317は厚さ0.5 μm の酸化膜(SiO_2)よりなるLOCOS分離領域、318は厚さ1.0 μm の窒化膜(Si_3N_4)からなる表面保護膜である。こうした半導体装置のメモリセルにおいては、スイッチング用FET302のゲート電極308を行選択後、ソース電極310を行選択先に各々接続することによってソース電極310からの電流を電荷蓄積用キャパシタ316に蓄えることができる。

【0011】また、以下に、従来の薄膜形成技術として、スパッタリング法について述べる。スパッタリング技術は、グロー放電によって真空の雰囲気ガスをプラズマ化させ、陰極であるターゲット材料に衝突させることによって、被スパッタリング粒子を飛散させて、陽極近傍上の基板上に堆積させる技術である。

【0012】このグロー放電によって生じた雰囲気ガスのプラズマを、陰極であるターゲットに接する空間に直交電磁界を用いて高密度に閉じ込めることによって、高効率で、堆積原子を飛散させるマグネトロンスパッタリング技術が知られている。高密度の雰囲気プラズマの閉じ込めに、陰極であるターゲット材料の裏側に磁石を配列し、直交する電磁界を形成し、電子にサイクロイド運

(4)

特開平9-8243

動を起こさせて、ターゲット表面近傍でのプラズマ密度を上げたプレーナマグネトロン型スパック装置が知られており、薄膜堆積工程に一般に使用されている。

【0013】一般に、強誘電体薄膜であるBaTiO₃薄膜を形成する場合、BaTiO₃セラミックターゲットを用いた高周波スパックリング法が適用される。

【0014】

【発明が解決しようとする課題】しかしながら、上記のような強誘電体薄膜を用いた電荷蓄積用キャパシタを有する半導体装置の場合、熱処理や経時変化によって白金(Pt)からなる下部金属電極313と上部金属電極315とから白金(Pt)が強誘電体薄膜(BaTiO₃薄膜)314に拡散することによって、また強誘電体薄膜(BaTiO₃)314のBa, Ti, Oが下部金属電極313と上部金属電極315側に拡散することによって、強誘電性の劣化、誘電率の減少、金属電極と強誘電体薄膜間の密着力の低下等が生じる。また、ストレスによる機械的微小クラックが、金属電極と強誘電体の界面に発生しやすいという問題点がある。

【0015】ここで、白金(Pt)からなる下部金属電極313と上部金属電極315とから白金(Pt)が強誘電体薄膜(BaTiO₃薄膜)314に拡散することによって、強誘電性の劣化、誘電率の減少、金属電極と強誘電体薄膜間の密着力の低下等が生じるのは、以下の理由からである。つまり、ここでの強誘電体(BaTiO₃)は、多結晶であり、粒界に白金(溶体)が侵入すると、誘電率、誘電性が劣化し、また、BaTiO₃/Ptは、もともと電極界面で接しているが、粒界へ白金が入ることによって機械的強度が低下するからである。

【0016】また、強誘電体薄膜(BaTiO₃)314のBa, Ti, Oが下部金属電極313と上部金属電極315側に拡散することによって、強誘電性の劣化、誘電率の減少、金属電極と強誘電体薄膜間の密着力の低下等が生じるのは、以下の理由からである。つまり、上記の各元素Ba, Ti, Oが拡散することにより、電極/強誘電体界面に低密度層、特に低酸素密度層が形成され、この低酸素密度層で電界異常(不均一)が発生して、分極/分極反転を行う際、微小クラックが生じ、誘電性、機械強度の低下が生じるからである。

【0017】また、ストレスによる機械的微小クラックが、金属電極と強誘電体の界面に発生しやすいのは、強誘電体材料では、分極/分極反転を行う際、原子の変位が生じる結果、結晶粒界が粗となることによる。この変位は、分極/分極反転の際、高電界となる金属電極と強誘電体の界面で生じやすい。この発明の目的は、熱処理や経時変化による強誘電性の劣化、誘電率の減少、金属電極と強誘電体薄膜間の密着力の低下等を防止し、ストレスによる機械的微小クラックの発生を防止することができるセラミック薄膜と金属電極の接合構造と半導体装置およびその製造方法を提供することである。

【0018】

【課題を解決するための手段】請求項1記載のセラミック薄膜と金属電極の接合構造は、セラミック薄膜と金属電極の接合面に、セラミック薄膜と同一のセラミック材料を主成分とし不純物が添加されて導電性をもった導電体薄膜を介在させたことを特徴とする。請求項2記載のセラミック薄膜と金属電極の接合構造は、請求項1記載のセラミック薄膜と金属電極の接合構造において、金属電極が白金からなる。

10 【0019】請求項3記載のセラミック薄膜と金属電極の接合構造は、請求項1または請求項2記載のセラミック薄膜と金属電極の接合構造において、セラミック薄膜が強誘電体薄膜である。請求項4記載のセラミック薄膜と金属電極の接合構造は、請求項1記載のセラミック薄膜と金属電極の接合構造において、セラミック薄膜がチタン酸バリウムからなる強誘電体薄膜であり、金属電極が白金であり、不純物がイットリウムである。

20 【0020】請求項5記載のセラミック薄膜と金属電極の接合構造は、請求項1または請求項2記載のセラミック薄膜と金属電極の接合構造において、セラミック薄膜が高誘電率薄膜である。請求項6記載の半導体装置は、強誘電体薄膜を、この強誘電体薄膜と同一の強誘電体材料を主成分とし不純物が添加されて導電性をもった第1および第2の導電体薄膜で挟み、第1および第2の導電体薄膜のそれぞれの外側面に第1および第2の金属電極を形成した5層構造の電荷蓄積用キャパシタを、半導体基板上に形成したことを特徴とする。

30 【0021】請求項7記載の半導体装置は、請求項6記載の半導体装置において、強誘電体薄膜がチタン酸バリウムからなり、第1および第2の金属電極が白金からなり、不純物がイットリウムである。請求項8記載の半導体装置は、強誘電体材料を主成分とし第1の不純物が添加されてp型導電性をもった第1の導電体薄膜とこの第1の導電体薄膜と同一の強誘電体材料を主成分とし第2の不純物が添加されてn型導電性をもった第2の導電体薄膜とを接合し、第1の導電体薄膜および第2の導電体薄膜のそれぞれの外側面に第1および第2の金属電極を形成した4層構造の電荷蓄積用キャパシタを、半導体基板上に形成したことを特徴とする。

40 【0022】請求項9記載の半導体装置は、請求項8記載の半導体装置において、強誘電体薄膜がチタン酸バリウムからなり、第1および第2の金属電極が白金からなり、第1の不純物がイットリウムであり、第2の不純物がヒ素である。請求項10記載の半導体装置の製造方法は、半導体基板上に第1の金属電極を形成する。ついで、第1の金属電極上にスパッタ法により強誘電体材料を堆積し、堆積した強誘電体材料にイオン注入法により不純物を添加することにより第1の導電体薄膜を形成する。ついで、第1の導電体薄膜上にスパッタ法により第1の導電体薄膜と同一の強誘電体材料を堆積して強誘電

(5)

特開平9-8243

7
体薄膜を形成する。ついで、強誘電体薄膜上にスパッタ法により第1の導電体薄膜と同一の強誘電体材料を堆積し、堆積した強誘電体材料にイオン注入法により不純物を添加することにより第2の導電体薄膜を形成する。ついで、第2の導電体薄膜上に第2の金属電極を形成する。

【0023】請求項11記載の半導体装置の製造方法は、強誘電体材料がチタン酸バリウムであり、第1および第2の金属電極が白金からなり、不純物がイットリウムである。請求項12記載の半導体装置の製造方法は、半導体基板上に第1の金属電極を形成する。ついで、第1の金属電極上にスパッタ法により強誘電体材料を堆積し、堆積した強誘電体材料にイオン注入法により第1の不純物を添加することによりp型導電性を呈する第1の導電体薄膜を形成する。ついで、第1の導電体薄膜上にスパッタ法により第1の導電体薄膜と同一の強誘電体材料を堆積し、堆積した強誘電体材料にイオン注入法により第2の不純物を添加することによりn型導電性を呈する第2の導電体薄膜を形成する。ついで、第2の導電体薄膜上に第2の金属電極を形成する。

【0024】請求項13記載の半導体装置の製造方法は、強誘電体材料がチタン酸バリウムであり、第1および第2の金属電極が白金からなり、第1の不純物がイットリウムであり、第2の不純物がヒ素である。

【0025】

【作用】従来、電荷蓄積用キャパシタは直接金属電極によって強誘電体薄膜を挟みこむ構造であったのに対して、この発明に示す半導体装置は、強誘電体薄膜を構成する元素を主成分とする導電体薄膜（もしくは半導体薄膜）で強誘電体薄膜を挟みこむ構造であるために、熱処理や経時変化によって下部金属電極および上部金属電極から金属が直接に強誘電体薄膜に拡散することや強誘電体薄膜中の元素が金属電極側に拡散することを遅らせることができる。

【0026】また、金属電極と強誘電体とが直接に接する従来の構造に比べて、不純物を含む強誘電体層がパッド層として作用し電界の歪化、応力の集中が急峻には起こらなくなるので、電界、応力の集中が分散し、ストレスが少なくなって微小クラックが金属電極、導電体および強誘電体との界面に発生しにくくなる。上記のような拡散を遅らせることができるのは以下の理由からである。従来例のように、電極金属と強誘電体とが直接接しておれば、電極材料の強誘電体層への境界に沿った拡散が生じたり、分極/分極反転時に電極/強誘電体界面でストレスが発生する。しかし、本発明のように、イットリウムをイオン注入や熱拡散によって強誘電体（BaTiO₃）に入れて強誘電体の表面を半導体化ないし導電体化することによって実質の電極/強誘電体界面にパッド層を介在させた状態に形成することができ、BaTiO₃+Yのパッド層の中でのクラックや電極材料の拡

散はBaTiO₃の容量部に影響を与えない。つまり、結果的に電極からパッド層を介して強誘電体層へ至る電極材料の拡散を遅らせることができるのである。

【0027】

【実施例】以下、この発明の実施例を図面を参照して詳細に説明する。図1は、この発明の第1の実施例の強誘電体薄膜を電荷蓄積用キャパシタに適用した半導体装置を示す断面図である。図中の101は、n型単結晶シリコン基板である。このn型単結晶シリコン基板101の表面には、pチャネルのスイッチング用FET102が形成されている。このスイッチング用FET102を含むn型単結晶シリコン基板101上には、CVD法により形成された層間絶縁膜（SiO₂膜）103および絶縁膜（（100）配向の酸化マグネシウム膜（MgO膜））104が形成されている。この絶縁膜104上には、強誘電体薄膜を用いた電荷蓄積用キャパシタ118が形成されている。

【0028】スイッチング用FET102は、n型単結晶シリコン基板101の表面に互いに電気的に分離して設けられたp型のソース領域105およびドレイン領域106とゲート絶縁膜107を介して設けられたゲート電極108とから構成されている。n型単結晶シリコン基板101上には、層間絶縁膜（SiO₂膜）103および酸化マグネシウム膜（MgO膜）からなる絶縁膜104が形成され、かつソース領域105およびドレイン領域106に対応する層間絶縁膜（SiO₂膜）103および絶縁膜（MgO膜）104にはコンタクトホール109、111が開口されている。層間絶縁膜（SiO₂膜）103および絶縁膜（MgO膜）104上には、コンタクトホール109、111を通して、ソース領域105およびドレイン領域106に接続されたソース電極110およびドレイン電極112が設けられている。

【0029】電荷蓄積用キャパシタ118は、層間絶縁膜（SiO₂膜）103および絶縁膜（MgO膜）104上に形成された厚さ0.2μmの白金（Pt）からなる下部金属電極113と、この下部金属電極113上に形成されたチタン酸バリウムからなる強誘電体薄膜115を構成する元素（Ba, Ti, O）に不純物（イットリウム：Y）を5.0wt.%添加した厚さ5μmの第1の導電体薄膜114と、（100）配向の厚さ10μmのチタン酸バリウム（BaTiO₃）膜からなる強誘電体薄膜115と、強誘電体薄膜115を構成する元素（Ba, Ti, O）に不純物（イットリウム：Y）を5.0wt.%添加した厚さ5μmの第2の導電体薄膜116と、厚さ0.2μmの白金（Pt）からなる上部金属電極117とからなる5層構造となっている。

【0030】なお、下部金属電極113および上部金属電極116は直流スパッタリング法による白金薄膜の堆積とパターニングにより形成し、高周波スパッタリング法により（100）配向のチタン酸バリウム膜（BaT

9

10) 膜) の堆積とパターンニングにより電荷蓄積用のキャパシタを構成する強誘電体薄膜114を形成した。また、ソース電極110は、層間絶縁膜103に開口されたコンタクトホール109を通してスイッチング用FET102に接続されたドレイン電極112に接続されている。119は厚さ1000nmの酸化膜(Si_3N_4)からなる表面保護膜、120は厚さ500nmの酸化膜(SiO_2)よりなるLOCOS分離領域である。

【0031】こうした半導体装置のメモリセルにおいては、スイッチング用FET102のゲート電極108を行選択した後、ソース電極110を行選択先に各々接続することによってソース電極110からの電流信号を電荷蓄積用キャパシタ116に蓄えることができる。以上に示したこの発明の第1の実施例によれば、上記した従来の半導体装置で生じていた熱処理時や経時変化によって生じる欠点を改善することができる。

【0032】すなわち、各々白金(Pt)からなる下部金属電極113と上部金属電極116から白金が強誘電体薄膜(BaTiO_3)114に拡散するのが遅くなり、また強誘電体薄膜(BaTiO_3)115の Ba 、 Ti が下部金属電極113と上部金属電極116側に拡散するのが遅くなり、これらの材料が相互に拡散することによって発生する強誘電性の劣化、誘電率の減少、金属電極と強誘電体薄膜間の密着力の低下、クラックの発生を改善することができる。リーク電流密度を 10^{-4}A/cm^2 と従来例の半導体装置に比べて100分の1に改善することができた。

【0033】また、分極、分極反転を繰り返すことにより不揮発性メモリとして用いる場合、ストレスによる機械的微小クラックが発生しにくい。その結果、分極、分極反転をくり返すことによる書き込み回数は、従来の 10^4 回から 10^6 回に向上させることができた。ここで、金属電極と強誘電体薄膜との間に強誘電体薄膜と同材料を主成分とし不純物を添加した導電体薄膜が介在すると、金属電極材料である白金が強誘電体薄膜中に拡散することや強誘電体材料が金属電極中に拡散するのが遅れるのは、以下の理由からである。つまり、電極/不純物を添加した導電体(パツファ層)/強誘電体とすると、電極と強誘電体の間隔が長くなるため、電極材料は強誘電体層に遷するには時間を要するのである。また、強誘電体材料が金属中へ拡散することは、電界の集中、ストレスの集中が緩和されているため、従来に比べると遅くなるのである。

【0034】また、金属電極と強誘電体薄膜との間に、強誘電体薄膜と同材料を主成分とし不純物を添加した導電体薄膜が介在すると密着力が低下しないのは以下の理由からである。つまり、従来のような電極/強誘電体構造の場合に、界面での電界の急な変化(場中)のため、分極/分極反転時に分極時の原子の変位が大きく、スト

(6)

特開平9-8243

レスがかかり、クラックが生じやすい。しかし、パツファ層(不純物を添加した強誘電体層)があれば、パツファ層/強誘電体層界面で高電界がかかっても結晶構造に大きな変化がないため、ストレスがかかりにくい(原子が変位しにくい)である。

【0035】また、金属電極と強誘電体薄膜との間に強誘電体薄膜と同材料を主成分とし不純物を添加した導電体薄膜が介在するとクラックが発生しないのは以下の理由からである。つまり、同材料を主成分としているのは、結晶構造が大きく変わった材料では、その変化しているところにストレスがかかりやすいためである。ここで述べてるのは、シリサイド化接合と似ているもので、金属/強誘電体の界面(接合)を強誘電体側へ移動させている。

【0036】また、金属が強誘電体薄膜に拡散することある強誘電体材料が金属電極に拡散することが、クラックが発生し易くなる原因となっているが、その理由は、以下の通りである。つまり、強誘電体(ここでは、多結晶セラミックス)は、結晶粒と粒界からなり、粒界部分では拡散速度が遅く、不純物が侵入することによって、粒界には意図しない制御しない相が形成され、クラックが生じやすくなるのである(焼結セラミック/電極ではよくあること)。

【0037】また、金属電極と強誘電体薄膜との間に強誘電体薄膜と同材料を主成分とし不純物を添加した導電体薄膜が介在すると電界集中や応力集中が避けられるのは、以下の理由からである。つまり、電界の集中や応力の集中は、電極/強誘電体の材料が異なる急峻な界面で生じるため、金属/不純物を添加した導電体薄膜/強誘電体薄膜とすると、急峻な界面がなくなり、電界の集中が防げるのである。主成分が同じ導電体薄膜を使用するのは主成分が異なる材料は結晶性が異なり、その異なる界面からクラックが生じやすいからである。

【0038】また、強誘電体材料としては、上記実施例ではチタン酸バリウムを用いているが、それ以外には例えば、 PZT (ジルコン酸チタン酸鉛)や SrTiO_3 (チタン酸ストロンチウム)、 PbTiO_3 (チタン酸鉛)が用いられる。また、金属電極としては、上記実施例では白金を用いているが、それ以外には、強誘電体中への電極(白金)材料の拡散を防ぐために、 Pt/TiN/BaTiO_3 (白金と BaTiO_3 の間に TiN を挟む)の構造を採用したり、または InO_3 、 IrO_3 、インジウムオキシサイドやイリジウムオキシサイドが使用される。

【0039】また、強誘電体に添加する不純物としては、上記実施例ではイットリウムを用いているが、強誘電体の電導度の制御を行うには、 Y (イットリウム)の他に、 Nb (ニオブ)、 Mn (マンガン)が用いられる。また、上記実施例では、強誘電体材料としてチタン酸バリウムを、不純物としてイットリウムを用いている

(7)

特開平9-8243

11

が、これ以外の材料の組み合わせとしては、例えば、BaTiO₃+YまたはMnまたはNbまたはFeの組み合わせや、PZT+MnまたはNbまたはFeの組み合わせ等が考えられる。なお、上記の強誘電体材料に対する金属電極の組み合わせの選択は、電極材料の劣化が少ないように実験的に選択する。

【0040】図2は、この発明の第2の実施例の強誘電体薄膜を電荷蓄積用キャパシタに適用した半導体装置を示す断面図である。図中の201は、n型単結晶シリコン基板である。このn型単結晶シリコン基板201の表面には、pチャネルのスイッチング用FET102が形成されている。このスイッチング用FET202を含むn型単結晶シリコン基板201上には、CVD法により形成された層間絶縁膜(SiO₂膜)203および絶縁膜((100)配向の酸化マグネシウム膜(MgO膜)204が形成されている。この絶縁膜204上には、強誘電体薄膜を用いた電荷蓄積用キャパシタ218が形成されている。

【0041】スイッチング用FET202は、n型単結晶シリコン基板201の表面に互いに電気的に分離して設けられたp型のソース領域205およびドレイン領域206とゲート絶縁膜207を介して設けられたゲート電極208とから構成されている。n型単結晶シリコン基板201上には、層間絶縁膜(SiO₂膜)203および酸化マグネシウム膜(MgO膜)204からなる絶縁膜204が形成され、かつソース領域205およびドレイン領域206に対応する層間絶縁膜(SiO₂膜)203および絶縁膜(MgO膜)204にはコンタクトホール209、211が開口されている。層間絶縁膜(SiO₂膜)203および絶縁膜(MgO膜)204上には、コンタクトホール209、211を通して、ソース領域205およびドレイン領域206に接続されたソース電極210およびドレイン電極212が設けられている。

【0042】電荷蓄積用キャパシタ218は、層間絶縁膜(SiO₂膜)203および絶縁膜(MgO膜)204上に強誘電体薄膜を構成する元素、例えば、Ba、Ti、Oを主な構成元素として第1の不純物(イットリウム:Y)を5.0wt.%添加して形成した厚さ5μmの第1の導電体薄膜214と、Ba、Ti、Oを主な構成元素として第2の不純物(ヒ素:As)を7.0wt.%添加して形成した厚さ5μmの第2の導電体薄膜215と、厚さ0.2μmの白金(Pt)からなる上部金属電極216および厚さ0.2μmの白金(Pt)からなる下部金属電極213との4層構造となっている。

【0043】なお、下部金属電極213および上部金属電極216は既述スパッタリング法による白金薄膜の堆積とパターニングにより形成し、第1の導電体薄膜214と第2の導電体薄膜215は高周波スパッタリング法による堆積とパターニングにより形成した。また、ソース電極210は、絶縁膜203に開口されたコンタクト

12

ホール209を通してスイッチング用FET202に接続されたドレイン電極212に接続されている。217は厚さ1000nmの酸化膜(Si₃N₄)からなる表面保護膜、219は厚さ500nmの酸化膜(SiO₂)よりなるLCOCS分離領域である。

【0044】こうした半導体装置のメモリセルにおいては、スイッチング用FET202のゲート電極208を行選択後、ソース電極210を行選択先に各々接続することによってソース電極210からの電流信号を電荷蓄積用キャパシタ218に蓄えることができる。すなわち、電荷蓄積用キャパシタ218は、Ba、Ti、Oを主な構成元素として第1の不純物(イットリウム:Y)を5.0wt.%添加して形成した厚さ5μmの第1の導電体薄膜214と、Ba、Ti、Oを主な構成元素として第2の不純物(ヒ素:As)を0.7wt.%添加して形成した厚さ5μmの第2の導電体薄膜215とにより電荷蓄積部が構成されている。第1の導電体薄膜214はp型電気伝導を示し、第2の導電体薄膜215はn型電気伝導を示す。これらの接合面にはpn接合が形成されるために電荷を蓄えることができる。

【0045】そのため、以上に示したこの発明の第2の実施例の半導体装置によれば、熱処理時や経時変化によって、白金からなる上部金属電極216から白金が第1の導電体薄膜214および第2の導電体薄膜215に拡散した場合であっても、発生する強誘電性の劣化、誘電率の減少、金属電極と強誘電体薄膜間の密着力の低下、クラックの発生を改善することができる。リーク電流密度を10⁻⁶A/cm²と従来の半導体装置に比べて100分の1に改善することができた。

【0046】補足すると、上記の拡散は、pチャネルMOSトランジスタを適用しており、上部電極216より電子が下部電極に向けて移動し、このとき、白金原子(中性)に電子が衝突し、白金原子を強誘電体側へ移動させるもので、下部金属電極213からの拡散は考えなくてもよい。また、第1の導電体薄膜214はP型、第2の導電体薄膜215はN型であり、下部金属電極213が正となったときに、電荷蓄積は第1および第2の導電体薄膜214、215の界面に蓄積される。したがって、第1および第2の導電体薄膜214、215中に白金が侵入して導電性が増しても界面に白金が至るまでは容量は変化しない。

【0047】なお、この発明の実施例では、形成方法としてスパッタ法としたが、ゾルゲル法やCVD法を用いても良い。また、適用した材料として強誘電体薄膜としたが、セラミック系の材料であれば高温焼成材料(La-Ba-Cu-O、YBCO(YBa₂Cu₃O₇)等)を用いたデバイスの作製に適用しても、金属電極(例えば、白金)とセラミック材料の反応を抑えることができ、良好な特性の薄膜を形成することができる。上記のデバイスとしては、金属電極/超電導材料/絶縁

特開平9-8243

13

材料/超電導材料/金属電極としてのスイッチング素子（ジョセフソン素子）が有名であり、高温超電導と金属電極の組み合わせは、電荷の取り出し（配線の接続）として用いている。

【0048】また、強誘電体薄膜を形成し、強誘電体薄膜を構成する元素に不純物を添加する方法として本実施例では、組成の異なるターゲットを用いて、組成の異なる強誘電体薄膜/導電体薄膜を堆積したが、イオン注入法や表面に堆積させた不純物からの熱拡散によって強誘電体の表面に半導体層を形成してもよい。また、本実施例では、平板型の容量蓄積キャパシタ（プレーナ型）としたが広くSiO₂系薄膜で用いられているスタック型やトレンチ型の容量薄膜として利用してもよい。

【0049】なお、不純物を添加するのにイオン注入を用いていますが、イオン注入法により不純物を注入すると、電流を制御することにより精度よく制御することができ、精度の高いデバイスを生産できる（歩留りの向上）。

【0050】

【発明の効果】この発明のセラミック薄膜と金属電極の接合構造と半導体装置およびその製造方法によれば、セラミック薄膜または強誘電体薄膜または高温超電導薄膜と金属電極との間にセラミック薄膜または強誘電体薄膜または高温超電導薄膜と同一材料を主成分として不純物を添加した導電体薄膜を介在させたため、熱処理および経時変化によって金属電極から金属電極材料がセラミック薄膜または強誘電体薄膜または高温超電導薄膜中に拡散すること、およびセラミック薄膜または強誘電体薄膜または高温超電導薄膜からその構成材料が金属電極中に拡散するのを遅らせることができるので、上記の材料の拡散によって生じる強誘電性の劣化、誘電率の減少、金

(8)

属電極と強誘電体薄膜間の密着力の低下を防止でき、また、クラックの発生を改善することができ、その実用上の効果は大きい。

【図面の簡単な説明】

【図1】この発明の第1の実施例の半導体装置を示す図である。

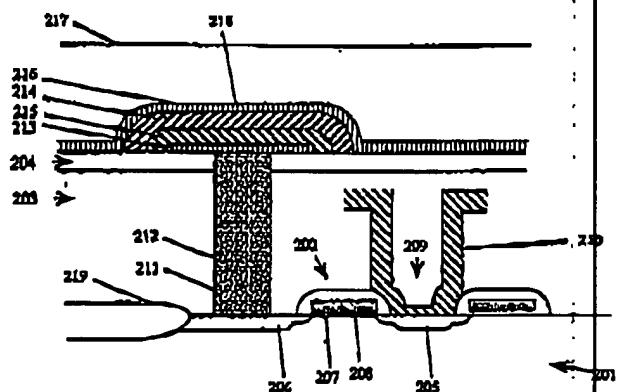
【図2】この発明の第2の実施例の半導体装置を示す図である。

【図3】従来例の半導体装置を示す図である。

70 【符号の説明】

101	n型単結晶シリコン基板
102	スイッチング用FET
103	層間絶縁膜（SiO ₂ 膜）
104	絶縁膜（MgO膜）
105	ソース領域
106	ドレイン領域
107	ゲート絶縁膜
108	ゲート電極
109	コンタクトホール
110	ソース電極
111	コンタクトホール
112	ドレイン電極
113	下部金属電極（第1）
114	第1の導電体薄膜
115	強誘電体薄膜
116	第2の導電体薄膜
117	上部金属電極（第2）
118	電荷蓄積用キャパシタ
119	表面保護膜
120	LOCOS分離領域

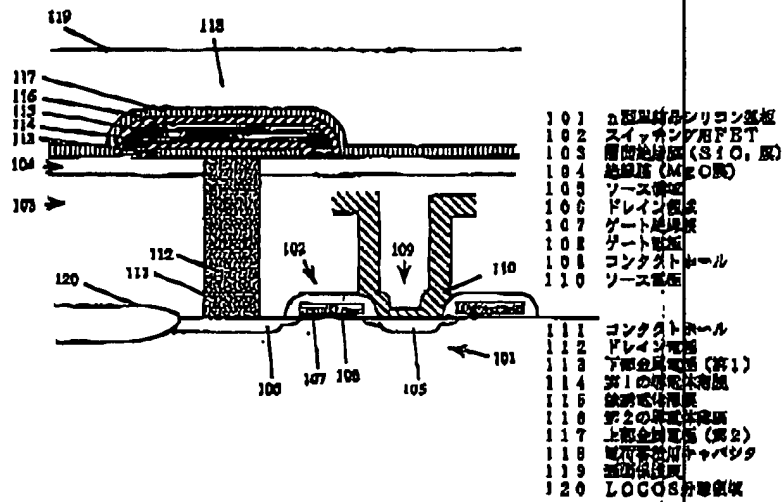
【図2】



(9)

特開平9-8243

【図1】



【図3】

